

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-297635

(43)Date of publication of application : 29.10.1999

(51)Int.Cl.

H01L 21/28
H01L 21/3065
H01L 21/768

(21)Application number : 10-097847

(71)Applicant : SONY CORP

(22)Date of filing : 09.04.1998

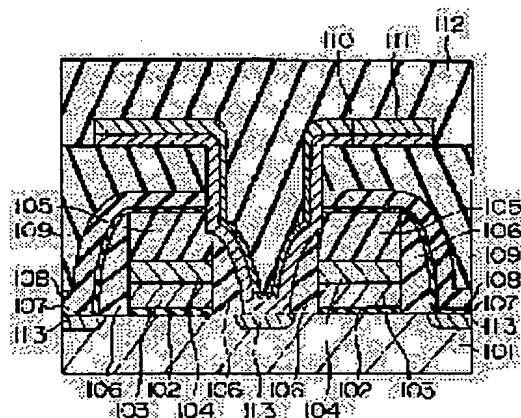
(72)Inventor : UEJIMA MASAHIRO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To ensure a difference in an etching rate between an insulating film and an etching stopper film and to enlarge a margin for the contact hole working by increasing a speed of etching the insulating film by implanting impurities into the insulating film before etching for forming a contact hole.

SOLUTION: In manufacturing a semiconductor device having a structure in which an interlayer insulating film 109 is formed on an etching stopper film 108 and an upper layer wiring comprising a laminate of polysilicon 110 and tungsten silicide 111 is connected to a source/drain region 113 formed on a silicon substrate 101 in a contact hole between two gate electrodes, impurities are implanted into the interlayer insulating film 109 before etching for forming the contact hole. This can sufficiently ensure a difference in an etching rate between the interlayer insulating film 109 and the etching stopper film 108 and can sufficiently ensure a margin for the contact hole.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-297635

(43) 公開日 平成11年(1999)10月29日

(51) Int.Cl.⁶
H 0 1 L 21/28
21/3065
21/768

識別記号

F I
H 0 1 L 21/28 L
21/302 J
21/90 C

審査請求 未請求 請求項の数20 O L (全 8 頁)

(21) 出願番号 特願平10-97847

(22) 出願日 平成10年(1998)4月9日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 上島 正弘

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

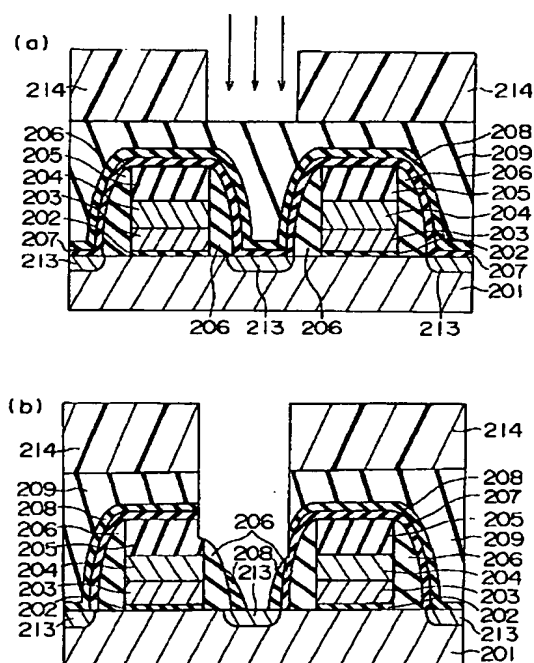
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 ストッパー層として窒化シリコン層を有する自己整合コンタクトの加工マージンを拡大することのできる自己整合コンタクトの形成方法およびそれを用いる半導体装置の製造方法を提供する。

【解決手段】 下層導電層上にエッチングストッパー膜、絶縁膜および上層導電層を順次積層し、前記下層導電層と前記上層導電層とを接続するための接続孔を、前記絶縁膜をエッチングすることにより形成する工程を有する半導体装置の製造方法において、前記エッチングにより接続孔を形成する工程は、エッチングの前に予め前記絶縁膜に不純物をイオン注入を行ったのち、前記絶縁膜をエッチングする工程である半導体装置の製造方法。



1

【特許請求の範囲】

【請求項1】下層導電層上にエッチングストッパー膜、絶縁膜および上層導電層を順次積層し、前記下層導電層と前記上層導電層とを接続するための接続孔を、前記絶縁膜をエッチングすることにより形成する工程を有する半導体装置の製造方法において、前記エッチングにより接続孔を形成する工程は、エッチングの前に予め前記絶縁膜に不純物をイオン注入を行ったのち、前記絶縁膜をエッチングする工程である、半導体装置の製造方法。

【請求項2】前記エッチングにより接続孔を形成する工程は、前記絶縁膜を成膜直後に、前記絶縁膜に不純物をイオン注入を行ったのち、前記絶縁膜をエッチングする工程である、

請求項1記載の半導体装置の製造方法。

【請求項3】前記エッチングにより接続孔を形成する工程は、前記絶縁膜を成膜後、全面にレジスト膜を成膜し、所定のパターニングを行った後、前記レジスト膜をマスクとして、前記絶縁膜に不純物をイオン注入を行ったのち、前記絶縁膜をエッチングする工程である、

請求項1記載の半導体装置の製造方法。

【請求項4】前記絶縁膜は、酸化シリコンからなる膜である、

請求項1記載の半導体装置の製造方法。

【請求項5】前記絶縁膜は、BPSG膜である、

請求項1記載の半導体装置の製造方法。

【請求項6】前記絶縁膜は、PSG膜である、

請求項1記載の半導体装置の製造方法。

【請求項7】前記エッチングストッパー膜は、窒化シリコン膜である、

請求項1記載の半導体装置の製造方法。

【請求項8】前記下層導電層は、半導体基板に形成された不純物拡散領域である、

請求項1記載の半導体装置の製造方法。

【請求項9】前記上層導電層は、半導体基板上に形成された上層配線である、

請求項1記載の半導体装置の製造方法。

【請求項10】前記不純物は、リン、ホウ素、砒素またはアルゴンである、

請求項1記載の半導体装置の製造方法。

【請求項11】前記エッチングにより接続孔を形成する工程の後、さらに導電性物質を接続孔に充填する工程、及び上層配線層を形成する工程とを有する、

請求項1記載の半導体装置の製造方法。

【請求項12】ゲート電極と不純物拡散領域を有する半導体装置の製造方法において、半導体基板上にエッチングストッパー膜を形成する工程と、前記エッチングストッパー膜上に絶縁膜を形成する工程と、

2

前記絶縁膜に不純物をイオン注入する工程と、

前記半導体基板に形成された不純物拡散領域と上層配線とを接続するための接続孔をエッチングにより形成する工程と、

前記接続孔に導電性物質を充填する工程と、

前記導電性物質が充填された接続孔に接続するように上層配線を形成する工程を有する、半導体装置の製造方法。

10 【請求項13】前記半導体基板に形成された不純物拡散領域と上層配線とを接続するための接続孔をエッチングにより形成する工程は、

前記絶縁膜を成膜直後に、前記絶縁膜に不純物をイオン注入を行ったのち、前記絶縁膜および前記エッチングストッパー膜をエッチングする工程である、請求項12記載の半導体装置の製造方法。

【請求項14】前記半導体基板に形成された不純物拡散領域と上層配線とを接続するための接続孔をエッチングにより形成する工程は、

20 前記絶縁膜を成膜後、全面にレジスト膜を成膜し、所定のパターニングを行った後、前記レジスト膜をマスクとして、前記絶縁膜に不純物をイオン注入を行ったのち、前記絶縁膜および前記エッチングストッパー膜をエッチングする工程である、

請求項12記載の半導体装置の製造方法。

【請求項15】前記半導体基板に形成された不純物拡散領域と上層配線とを接続するための接続孔をエッチングにより形成する工程は、

前記絶縁膜をエッチングする工程と、

30 前記エッチングストッパー膜をエッチングする工程からなる、

請求項13記載の半導体装置の製造方法。

【請求項16】前記半導体基板に形成された不純物拡散領域と上層配線とを接続するための接続孔をエッチングにより形成する工程は、

前記絶縁膜をエッチングする工程と、

前記エッチングストッパー膜をエッチングする工程からなる、

請求項14記載の半導体装置の製造方法。

40 【請求項17】前記絶縁膜は、酸化シリコンからなる膜である、

請求項12記載の半導体装置の製造方法。

【請求項18】前記絶縁膜は、BPSG膜である、

請求項12記載の半導体装置の製造方法。

【請求項19】前記絶縁膜は、PSG膜である、

請求項12記載の半導体装置の製造方法。

【請求項20】前記エッチングストッパー膜は、窒化シリコン膜である、

請求項12記載の半導体装置の製造方法。

【発明の詳細な説明】

50 【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、特に、前記半導体基板に形成された不純物拡散領域と上層配線とを接続するための接続孔をエッチングにより形成する工程に特徴を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】近年の半導体装置の高集積化に伴い、最小デザインルールは微細化され、アルミニウムやポリシリコン、タングステンポリサイド等で形成される配線ピッチも縮小化している。

【0003】ところで、配線層間にこれらを接続するためのコンタクトホールを形成する場合、コンタクトホールと配線間の距離は、配線とコンタクトホールを絶縁するために必要な膜厚、コンタクトホールを絶縁するために必要な膜厚、コンタクトホールをパターニングする際の合わせ余裕、コンタクトホール径や配線幅のばらつき等を考慮して決定される。

【0004】しかし、これらの要因がデザイン縮小率に対して十分にスケールダウンされない場合には、配線間の距離を縮小することができず、メモリセルやゲートアレイ等のシュリンクを行うことができない。

【0005】そこで、配線間隔を縮小し配線間にコンタクトホールを形成する方法として、図8に示すような自己整合コンタクトホール形成技術が知られている。この方法は、配線間隔に対して径の大きなコンタクトホールを形成し、配線間に自己整合コンタクトホールを形成するものである。

【0006】

【発明が解決しようとする課題】上記自己整合コンタクトホール形成技術のうち、窒化シリコン層をエッチングストップパー層として用いる自己整合コンタクト形成技術では、層間絶縁膜である酸化シリコン膜のエッチング時に窒化シリコンとの選択比（酸化シリコンと窒化シリコンとのエッチングレートに差）を向上させることが最も重要な課題となる。

【0007】対窒化シリコン選択比が小さい場合には、エッチングマージンを確保するために、エッチングストップパー層である窒化シリコン膜の膜厚を厚くする必要があり、その結果、ゲート電極上に形成するオフセット酸化膜厚も同時に厚膜化する必要が生じるからである。

【0008】このことは、配線段差の増大、コンタクトのアスペクト比の増大等の問題を生じせしめ、上層配線やコンタクトホールの加工マージンを狭める結果をもたらす。

【0009】従って、エッチングストップパー層として窒化シリコン膜を用いる自己整合コンタクトの形成方法において、層間絶縁膜である酸化シリコン膜のエッチング時に窒化シリコンとの選択比（酸化シリコンと窒化シリコンとのエッチングレートに差）を向上させ、自己整合コンタクトの加工マージンを拡大することにより、微細

構造の信頼性の高い半導体装置を製造する方法の開発が求められている。

【0010】本発明は、ストップパー層として窒化シリコン層を有する自己整合コンタクトの加工マージンを拡大することのできる自己整合コンタクトの形成方法およびそれを用いる半導体装置の製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】上記課題を解決すべく本発明は、下層導電層上にエッチングストップパー膜、絶縁膜および上層導電層を順次積層し、前記下層導電層と前記上層導電層とを接続するための接続孔を、前記絶縁膜をエッチングすることにより形成する工程を有する半導体装置の製造方法において、前記エッチングにより接続孔を形成する工程は、エッチングの前に予め前記絶縁膜に不純物をイオン注入を行ったのち、前記絶縁膜をエッチングする工程であることを特徴とする半導体装置の製造方法を提供する。

【0012】前記本発明の半導体装置の製造方法において、前記絶縁膜をエッチングにより接続孔を形成する工程は、前記絶縁膜を成膜直後、あるいは前記絶縁膜を成膜後、全面にレジスト膜を成膜し、所定のパターニングを行った後、前記レジスト膜をマスクとして、前記絶縁膜に不純物をイオン注入を行ったのち、前記絶縁膜をエッチングする工程であるのが好ましい。

【0013】前記本発明の半導体装置の製造方法において、前記絶縁膜は、好ましくは、酸化シリコンからなる膜、不純物としてリンおよびホウ素を含有させた酸化シリコンからなるBPSG (Boron phosphosilicate glass) 膜、または不純物としてリンを含有させた酸化シリコンからなるPSG (Phosphosilicate glass) 膜であり、前記エッチングストップパー膜は、窒化シリコン (Si₃N₄) 膜である。

【0014】前記本発明の半導体装置の製造方法において、前記下層導電層は、好ましくは、半導体基板に形成された不純物拡散領域であり、前記上層導電層は、半導体基板上に形成された上層配線である。

【0015】前記本発明の半導体装置の製造方法において、前記不純物は、絶縁膜にダメージを与える効果を有するものであれば特に制限はないが、好ましくは、リン、ホウ素、砒素またはアルゴンであり、より好ましくは、リンである。不純物のイオン注入は、例えば、不純物としてリンを用い、エネルギー20～30KeVで、 $1 \times 10^{13} \sim 1 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量で行うことができる。

【0016】また、前記本発明の半導体装置の製造方法においては、好ましくは、リン、前記エッチングにより接続孔を形成する工程の後、さらに導電性物質を接続孔に充填する工程、及び上層配線層を形成する工程を有す

る。

【0017】前記本発明の半導体装置の製造方法は、より好ましくは、ゲート電極と不純物拡散領域を有する半導体装置の製造方法であって、半導体基板上にエッチングストッパー膜を形成する工程と、前記エッチングストッパー膜上に絶縁膜を形成する工程と、前記絶縁膜成膜直後、あるいは前記絶縁膜成膜後、レジスト膜を成膜し所定のパターンニングを行ったのち、該レジスト膜をマスクとして、接続孔を形成する部位のみに不純物をイオン注入する工程と、前記半導体基板に形成された不純物拡散領域と上層配線とを接続するための接続孔をエッチングにより形成する工程と、前記接続孔に導電性物質を充填する工程と、前記導電性物質が充填された接続孔に接続するように上層配線を形成する工程を有する半導体装置の製造方法である。

【0018】

【発明の実施の形態】以下、本発明の半導体装置の製造方法を実施の形態により更に詳細に説明する。図7に本発明の製造方法により製造することのできる半導体装置の一例を示す。図7は、DINOR型フラッシュメモリの断面構造模式図である。図中、1は、ワード線（第1アルミニウム配線）、2は、ソース線、3、4は、選択トランジスタをそれぞれ示す。本発明が適用されるのは、図中、Aで示す部分の製造方法である。尚、図中、サイドウォール、ゲート酸化膜等は省略している。

【0019】また、図8に、上記A部分の拡大図を示す。図8に示す構造は、一方導電型（n型又はp型）シリコン半導体基板101上の図示しない層間絶縁膜に挟まれた素子分離領域に、ゲート酸化膜102、ポリシリコン層103、タングステンシリサイド層104、およびオフセット絶縁膜105からなるゲート電極が二つ設けられている。そして、ゲート電極は、両側にサイドウォール106を有し、該サイドウォールとゲート電極を覆うように、キャッピングTEOS層107及びエッチングストッパー層108、及びそれらを覆うようにさらに第1の層間絶縁膜108が設けられている。そして、二つのゲート電極の間のコンタクトホールには、ポリシリコン110及びタングステンシリサイド111の積層体からなる上層配線が形成され、シリコン基板101に形成されたソース・ドレイン領域113と接続されている。そして、最上層には第2の層間絶縁膜112が形成されている。

【0020】本発明は、例えば、かかる部分構造を有する半導体装置の製造方法、特に、第1の層間絶縁膜に不純物を注入して、その下のエッチングストッパー層とのエッチングレートの差を十分に確保することによって、コンタクトホールの加工マージンを十分に確保したことを特徴とする半導体装置の製造方法である。

【0021】第1実施形態

以下、上記図9に示した半導体装置の製造方法を説明す

る。まず、図1(a)に示すように、一方導電型（n型又はp型）シリコン半導体基板101上に、例えば、LOCOS（Local Oxidation of Silicon）法により、図示しない素子分離膜を形成する。次いで、全面に、例えば、Pyrogenic酸化（ H_2/O_2 、850℃）により、膜厚7nmでゲート酸化膜102を形成する。次いで、アモルファスシリコン102を、例えば、 SiH_4 を原料ガスとし、堆積温度550℃で、減圧CVD（Chemical Vapour Deposition）法により、膜厚100nmで全面に堆積させる。その後、例えば、 $WF_6/SiCl_2/H_2$ を原料ガスとし、堆積温度680℃で、膜厚100nmのWSiを堆積し、タングステンポリサイド層104を形成する。次に、例えば、 SiH_4 を原料ガスとして、堆積温度430℃で常圧CVD法により SiO_2 を250nm堆積させることにより、オフセット絶縁膜105を形成する。

【0022】その後、ゲート電極のレジストパターンニングを行い、レジストをマスクとして、例えば、 Cl_2/O_2 をエッチングガスとしたECRエッチング等の異方性エッチングによって、ゲート電極を形成する。その後、レジスト膜を剥離し、ゲート電極を覆うように、例えば、酸化シリコンからなるサイドウォール材を成膜する。次いで、成膜したサイドウォール材の表面側から、例えば、RIE（Reactive Ion Etching）法による異方性エッチングによりサイドウォール絶縁膜106を形成する。

【0023】次いで、図1(b)に示すように、サイドウォール106を被覆するように、キャッピングTEOS（テトラエトキシシラン）層107を膜厚10nm程度で形成する。その後、イオン注入法により、トランジスタのソース領域・ドレイン領域113を形成する。このときのイオン注入としては、例えば、10~30KeVのエネルギーで、 $2 \times 10^{15} \sim 8 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量のリン、ホウ素、砒素等の不純物をイオン注入する。

【0024】その後、図1(c)に示すように、自己整合コンタクト用ストッパー絶縁膜として、窒化シリコン（ Si_3N_4 ）膜108を、例えば、CVD法により、膜厚60nm程度で成膜する。その後、常圧CVD法により、例えば、 $SiH_4/BH_3/PH_3$ を原料ガスとして、堆積温度400℃で、BPSG（Borophosphosilicate glass）膜等の第1の層間絶縁膜109を、膜厚250nmで堆積させる。次いで、窒素雰囲気下、900℃、10分間のリフロー処理を行う。この処理により、第1の絶縁膜の上面は平坦化される。

【0025】次いで、図2(d)に示すように、第1の層間絶縁膜109に、例えば、 P^+ を、25KeV、 $1 \times 10^{14} \text{ atoms/cm}^2$ でイオン注入を行い、コン

10

20

30

40

50

7

タクトホール部の層間絶縁膜109にダメージを与える。

【0026】次に、図2(e)に示すように、前記層間絶縁膜109上に全面にレジスト膜114を成膜した後、コンタクトホールのパターニングを行う。

【0027】その後、図3(f)に示すように、レジスト膜114をマスクとして、対窒化シリコン選択比の高いエッチング条件を用いて、第1の層間絶縁膜109のエッチングを行う。この時のエッチングとしては、例えば、プロセスガスとして、 $\text{CHF}_3/\text{CH}_2\text{F}_2 = 35/15$ sccm、圧力0.27Pa、マイクロ波出力1200W、RF出力200W(800kHz)、ウェハ温度30℃の条件で行うことができる。この際、下地のエッチングストッパー層107は殆どエッチングされない。

【0028】次に、図3(g)に示すように、レジスト膜114を除去した後、例えば、プロセスガスとして $\text{CHF}_3 = 50$ sccm、圧力0.27Pa、マイクロ波出力1000W、RF出力100W(800kHz)、ウェハ温度30℃の条件で異方性エッチングを行い、エッチングストッパー層(窒化シリコン膜)107をエッチング除去し、コンタクトホールを開口する。

【0029】次いで、アモルファスシリコン111を、例えば、 SiH_4 を原料ガスとし、堆積温度550℃で、膜厚50nm程度堆積させる。その後、例えば、 $\text{WF}_6/\text{SiCl}_4/\text{H}_2$ を原料ガスとし、堆積温度680℃の条件の減圧CVD法により、WSiを、70nm程度堆積させ、タングステンポリサイド配線112を形成する。その後、全面にレジスト膜を成膜し、配線パターンをパターニングを行い、レジストをマスクとして、例えば、 Cl_2/O_2 をエッチングガスとしたECRエッチング等の異方性エッチングによって、上層配線を形成することができる。最後に、第2の酸化シリコンからなる層間絶縁膜112を、例えば、常圧CVD法などにより成膜して、図8に示す構造を得ることができる。

【0030】本実施形態では、エッチングされる層間絶縁膜としてBPSG膜を用い、該層間絶縁膜形成直後にイオン注入を行う例を示した。本実施形態によれば、酸化シリコン膜中に不純物をドーピングしておくことによって、酸化シリコン膜のエッチング速度を向上させ、対窒化シリコン選択比を向上させることにより、コンタクトホール加工マージンを拡大することが可能となった。

【0031】第2実施形態

第2実施形態では、層間絶縁膜としてBPSG膜を用い、BPSG膜を成膜後、レジスト膜を成膜し、所定のパターニングを行った後、コンタクトホール形成部位のみにイオン注入を行う例を示す。

【0032】まず、第1実施形態と同様にして、図5

(a)に示す状態を得たのち、レジスト膜214をマスクとして、第1の層間絶縁膜209のコンタクトホール

8

を形成する部位に、例えば、 P^+ を25KeVで 1×10^{14} atoms/cm²でイオン注入を行い、コンタクトホール部の層間絶縁膜にダメージを与える。

【0033】その後、図5(b)に示すように、レジスト膜214をマスクとして、対窒化シリコン選択比の高いエッチング条件を用いて、第1の層間絶縁膜のエッチングを行う。この時のエッチングとしては、例えば、プロセスガスとして、 $\text{CHF}_3/\text{CH}_2\text{F}_2 = 35/15$ sccm、圧力0.27Pa、マイクロ波出力1200W、RF出力200W(800kHz)、ウェハ温度30℃の条件で行うことができる。この際、下地のエッチングストッパー層207は殆どエッチングされない。

【0034】次に、図6(C)に示すように、レジスト膜214を除去した後、例えば、プロセスガスとして $\text{CHF}_3 = 50$ sccm、圧力0.27Pa、マイクロ波出力1000W、RF出力100W(800kHz)、ウェハ温度30℃の条件で異方性エッチングを行い、エッチングストッパー層(窒化シリコン膜)207をエッチング除去し、コンタクトホールを開口する。

【0035】次いで、アモルファスシリコン211を、例えば、 SiH_4 を原料ガスとし、堆積温度550℃で、膜厚50nm程度堆積させる。その後、例えば、 $\text{WF}_6/\text{SiCl}_4/\text{H}_2$ を原料ガスとし、堆積温度680℃の条件の減圧CVD法により、WSiを、70nm程度堆積させ、タングステンポリサイド配線212を形成する。その後、図示しない全面にレジスト膜を成膜し、配線パターンをパターニングを行い、該レジスト膜をマスクとして、例えば、 Cl_2/O_2 をエッチングガスとしたECRエッチング等の異方性エッチングによって、上層配線層を形成する。最後に、第2の酸化シリコンからなる層間絶縁膜を、例えば、常圧CVD法などにより成膜して、図8に示す構造を得ることができる。

【0036】本実施形態によれば、酸化シリコン膜中に不純物をドーピングしておくことによって、酸化シリコン膜のエッチング速度を向上させ、対窒化シリコン選択比を向上させることにより、コンタクトホール加工マージンを拡大することが可能となった。また、レジスト膜をマスクとして、エッチングしたい部位のみに不純物をイオン注入するため、エッチングにより残る部分には、余分な不純物が注入されない。従って、絶縁耐性に優れた層間絶縁膜となっている。

【0037】以上、本発明を発明の実施形態により詳細に説明したが、本発明の主旨を逸脱しない範囲で、下層導電層や上層導電層の種類、エッチングの条件、絶縁膜の種類、エッチングストッパー膜の種類等を自由に設計変更することができる。

【0038】本発明の製造方法は、DRAM等のフラッシュメモリ、SRAM、EPROM、E²PRROM等の不揮発性メモリ等の配線構造を有する各種の半導体装置の製造に適用することができる。

10

20

30

40

50

【0039】

【発明の効果】以上説明したように、本発明によれば、層間絶縁膜に不純物をドーブしておくことによって、酸化シリコン膜等の層間絶縁膜のエッチング速度を向上させ、対窒化シリコン選択比を向上させることにより、コンタクトホール加工マージンを拡大することが可能となった。従って、微細な配線構造を有し信頼性の高い半導体装置を得ることができる。

【0040】層間絶縁膜としてBPSG膜を使用する場合には、上面をリフロー処理により平坦化させることができ、段差の少ないレジスト膜を成膜することが可能となる。また、予め、リンやホウ素といった不純物を予め含有する膜であるので、層間絶縁膜のエッチング速度を向上させ、対窒化シリコン選択比を向上させることにより、コンタクトホール加工マージンを拡大する効果が大きい。

【0041】さらに、レジスト膜をマスクとして、層間絶縁膜にイオン注入する方法によれば、エッチングした部位のみに不純物をイオン注入できるため、エッチングにより残る部分には、余分な不純物が注入されない。従って、絶縁耐性に優れた層間絶縁膜を有する半導体装置を得ることができる。

【図面の簡単な説明】

【図1】図1は、本発明の製造方法を説明する主要工程断面図である。(a)は、半導体基板上にゲート電極及びサイドウォールを形成した図であり、(b)は、イオン注入によりソース領域・ドレイン領域を形成した図であり、(c)は、その後、全面にBPSG膜を成膜し、リフロー処理を行った図である。

【図2】図2は、本発明の製造方法を説明する主要工程断面図である。(d)は、BPSG膜にイオン注入を行う図であり、(e)は、レジスト膜を成膜後、所定のパターンニングを行った図である。

【図3】図3は、本発明の製造方法を説明する主要工程 *

* 断面図である。(f)は、レジスト膜をマスクにBPSG膜および窒化シリコン膜をエッチングした図であり、(g)は、レジスト膜を除去した図である。

【図4】図4は、本発明の製造方法を説明する主要工程断面図であり、(h)は、ポリシリコン膜及びタングステンシリサイド膜を成膜して、配線層を形成した図である。

【図5】図5は、本発明の製造方法を説明する主要工程断面図である。(a)は、前記図3(e)と同様な構造を得たのち、レジスト膜をマスクに接続孔を形成する部位のみにイオン注入を行う図であり、(b)は、レジスト膜をマスクにBPSG膜および窒化シリコン膜をエッチングした図である。

【図6】図6は、本発明の製造方法を説明する主要工程断面図である。(c)は、レジスト膜を除去した図であり、(d)は、ポリシリコン膜及びタングステンシリサイド膜を成膜して、配線層を形成した図である。

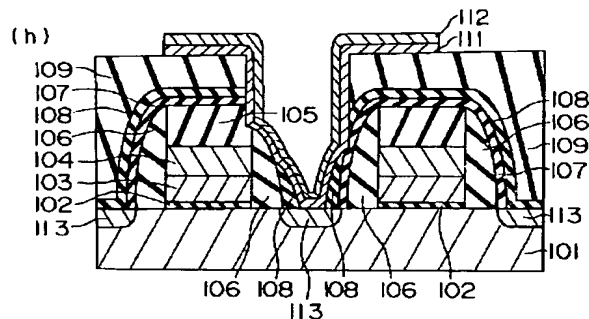
【図7】図7は、本発明の製造方法に製造されるDINOR型フラッシュメモリの断面構造模式図である。

【図8】図8は、図7中のAを拡大した図である。

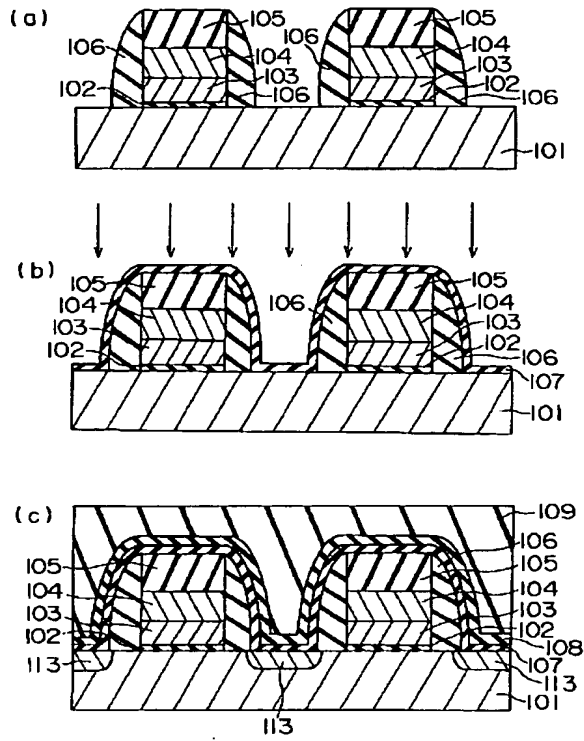
【符号の説明】

1…ワード線(第1アルミニウム配線)、2…ソース線、3、4…選択トランジスタ、101、201…シリコン半導体基板、102、202…ゲート酸化膜、103、203…ポリシリコン層、104、204…タングステンシリサイド層、105、205…オフセット酸化膜、106、206…サイドウォール、107、207…キャッピングTEOS膜、108、208…エッチングストッパー膜(窒化シリコン膜)、109、209…第1の層間絶縁膜(BPSG膜)、110…ポリシリコン膜、111…タングステンシリサイド膜、112…第2の層間絶縁膜、113、213…ソース領域・ドレイン領域、114、214…レジスト膜、

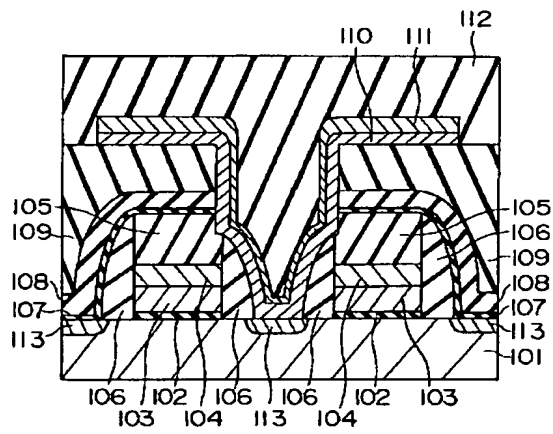
【図4】



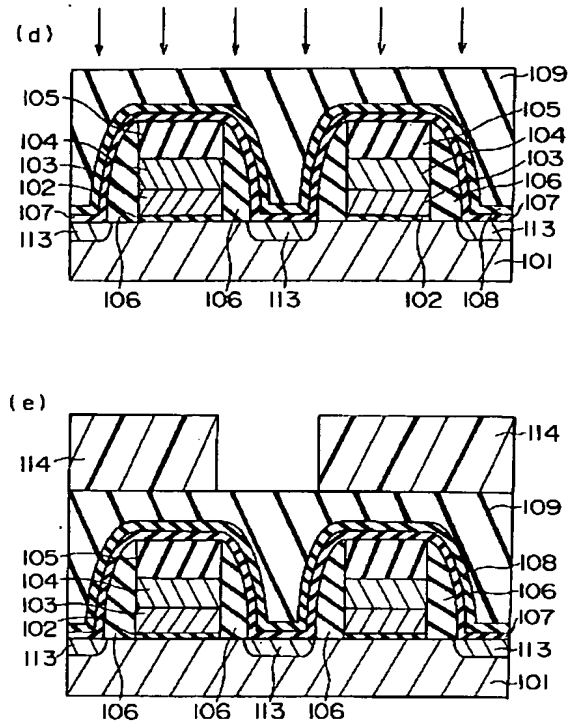
【図1】



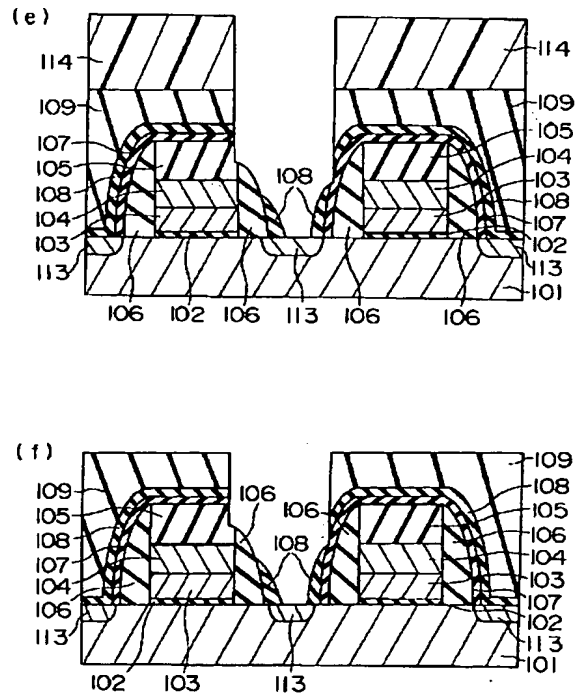
【図8】



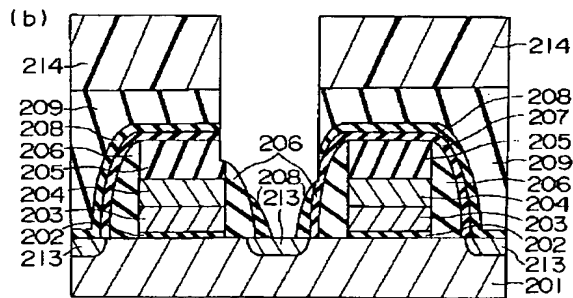
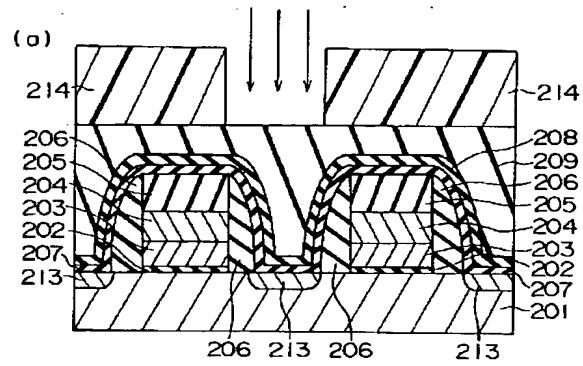
【図2】



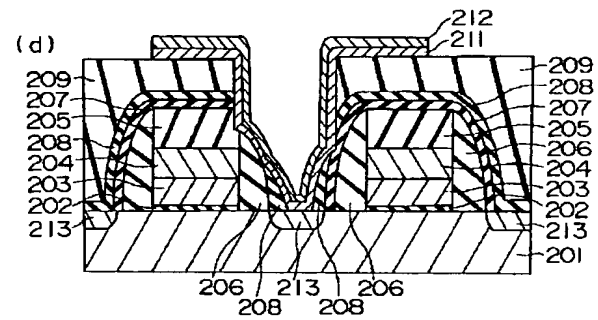
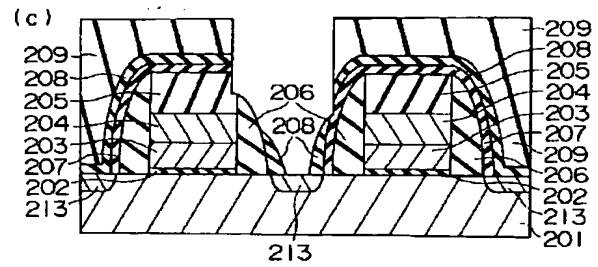
【図3】



【図5】



【図6】



【図7】

